

PATENT OFFICE  
JAPANESE GOVERNMENT

This is to certify that the annexed is a true copy  
of the following application as filed with this office.

Date of Application: September 13, 2002

Application Number: No. 2002-268315  
[ST.10/C]: [JP2002-268315]

Applicant(s): FUJITSU LIMITED

June 11, 2003

Commissioner,  
Patent Office

Shinichiro Ota (Seal)

Certificate No. 2003-3045590

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2002年9月13日

出願番号

Application Number:

特願2002-268315

[ST.10/C]:

[JP2002-268315]

出願人

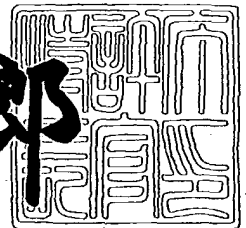
Applicant(s):

富士通株式会社

2003年6月11日

特許庁長官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2003-3045590

【書類名】 特許願

【整理番号】 0241215

【提出日】 平成14年 9月13日

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 G11C 7/00

【発明の名称】 不揮発性半導体記憶装置

【請求項の数】 7

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 笠 靖

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 加藤 譲二

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100070150

【住所又は居所】 東京都渋谷区恵比寿4丁目20番3号 恵比寿ガーデンプレイスタワー32階

【弁理士】

【氏名又は名称】 伊東 忠彦

【電話番号】 03-5424-2511

【手数料の表示】

【予納台帳番号】 002989

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0114942

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 不揮発性半導体記憶装置

【特許請求の範囲】

【請求項1】 各々が不揮発性メモリセルアレイを含む複数のブロックと、

該複数のブロックの該不揮発性メモリセルアレイにプログラム電圧を供給する  
プログラム電圧生成回路

を含み、該複数のブロックのうち一のブロックを特定する第1のアドレス信号及び該一のブロック内における書き込みメモリセル位置を指し示す第2のアドレス信号に応じて該プログラム電圧生成回路において該プログラム電圧を調整することを特徴とする不揮発性半導体記憶装置。

【請求項2】 該プログラム電圧生成回路は、

昇圧電圧を生成する昇圧回路と、

該昇圧電圧及び参照電圧に基づいて該プログラム電圧を生成するレギュレータを含み、該第1のアドレス信号及び該第2のアドレス信号に応じて該レギュレータが生成する該プログラム電圧を調整することを特徴とする請求項1記載の不揮発性半導体記憶装置。

【請求項3】 該レギュレータは、

該プログラム電圧を容量分割して比較対象電圧を生成する容量回路と、

該比較対象電圧と該参照電圧との比較に基づいて該昇圧電圧から該プログラム電圧を生成する差動増幅回路と、

該第1のアドレス信号及び該第2のアドレス信号に応じて該容量回路の容量を調整する回路

を含むことを特徴とする請求項2記載の不揮発性半導体記憶装置。

【請求項4】 該第1のアドレス信号及び該第2のアドレス信号に基づいてプログラム電圧調整信号を生成するプログラム電圧調整回路を更に含み、該プログラム電圧生成回路は該プログラム電圧調整信号に基づいて該プログラム電圧を調整することを特徴請求項1記載の不揮発性半導体記憶装置。

【請求項5】 該プログラム電圧調整回路は該第1のアドレス信号に応じて該第2のアドレス信号を反転／非反転するよう制御し、該反転／非反転制御された該第

2 のアドレス信号を該プログラム電圧調整信号として該プログラム電圧生成回路に供給することを特徴とする請求項 4 記載の不揮発性半導体記憶装置。

【請求項 6】 該複数のブロックのうちの 2 つのブロックはブロック内部での該第 2 のアドレス配置が該プログラム電圧生成回路からの距離との関連において互いに逆であり、該第 1 のアドレスに応じて該 2 つのブロックの何れであるかを特定することにより該プログラム電圧生成回路から該書き込みメモリセル位置までの実際の配線距離を反映するように該第 2 のアドレスに応じて該プログラム電圧を調整することを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 7】 該複数のブロックのうちの 2 つのブロックは該プログラム電圧生成回路からの距離が互いに異なっており、該第 1 のアドレスに応じて該 2 つのブロックの何れであるかを特定することにより該プログラム電圧生成回路から該書き込みメモリセル位置までの実際の配線距離を反映するように該第 2 のアドレスに応じて該プログラム電圧を調整することを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

#### 【発明の詳細な説明】

##### 【0001】

#### 【発明の属する技術分野】

本発明は一般に不揮発性半導体記憶装置に関し、詳しくはメモリセルアレイが複数のブロックに分割された不揮発性半導体記憶装置に関する。

#### 【従来の技術】

フラッシュメモリにおいてデータを書き込む際には、メモリセルのゲート及びドレインに高電圧を印加することで、フローティングゲートにチャネルホットエレクトロンを注入する。このときメモリセルのドレインに印加する電圧は、高速な書き込みを実行するためには成るべく高い電圧であることが好ましいが、高すぎると非選択のメモリセルでドレインディスタージが発生してしまう。これはフローティングゲート中の電子が抜けるチャージロスの原因となるので、ドレインへの印加電圧は所定の範囲内に設定される必要がある。

##### 【0002】

従来のフラッシュメモリではこのドレイン電圧は昇圧回路とレギュレーション

回路とにより所定の値に設定されている。しかしフラッシュメモリが大容量化しビット線長が長くなるに伴い、書き込み時にビット線に電流が流れると、ビット線の終端近くではビット線抵抗による電圧降下が無視できない大きさになる。このために、書き込み動作におけるドレイン電圧を全てのメモリセルについて所定の範囲に収めることが困難になっている。

## 【 0 0 0 3 】

この問題を解決するために、本出願と同一出願人による特願 2 0 0 1 - 3 0 3 7 0 9 号（未公開）においては、選択されるメモリセルの物理位置を決めるアドレス信号に応じて、レギュレーション回路でレギュレーションする電圧値を調整することにより、ドレイン電圧を所定の範囲内に設定している。レギュレーション回路では、昇圧回路により発生された昇圧電位をコンデンサの直列接続により分圧し、分圧電位と参照電位との比較結果に応じて出力電圧（ドレイン電圧）を調整している。この分圧する際のコンデンサの値をアドレス信号に応じて変化させることで、ビット線上の位置（アドレス位置）に応じて出力電圧を調整している。

## 【 0 0 0 4 】

また従来技術として、書き込み電圧を調整するものがある（特許文献 1 参照）。

## 【 0 0 0 5 】

## 【特許文献 1】

特開平 1 1 - 2 9 7 0 8 6

## 【 0 0 0 6 】

## 【発明が解決しようとする課題】

フラッシュメモリ等の半導体記憶装置においては、メモリセルアレイを複数のブロックに分割する構成がある。このようにブロックに分割することにより、例えばビット線やワード線の負荷を小さくして高速なデータアクセスを可能にする等の利点を得られる。複数ブロック構成においても、昇圧回路及びレギュレーション回路は 1 つだけ設けられるのが通常であり、このレギュレーション回路の出力電圧を各ブロック内の各メモリセル位置まで供給する。このような場合、レギ

ュレーション回路から各メモリセルまでの距離は、単純にアドレスに応じた距離ではなくなるので、上記先行出願の技術においては、ブロック分割された場合のメモリセルアレイに対応することが出来ない。

【 0 0 0 7 】

以上を鑑みて本発明は、メモリセルアレイがブロックに分割された構成において、メモリセルの位置に関わらず各メモリセルに対して所定の書き込み電圧を供給することを目的とする。

【課題を解決するための手段】

本発明による不揮発性半導体記憶装置は、各々が不揮発性メモリセルアレイを含む複数のブロックと、該複数のブロックの該不揮発性メモリセルアレイにプログラム電圧を供給するプログラム電圧生成回路を含み、該複数のブロックのうちのブロックを特定する第1のアドレス信号及び該一のブロック内における書き込みメモリセル位置を指し示す第2のアドレス信号に応じて該プログラム電圧生成回路において該プログラム電圧を調整することを特徴とする。

【 0 0 0 8 】

上記不揮発性半導体記憶装置においては、ブロックを特定する第1のアドレス信号とブロック内の書き込みメモリセル位置を指し示す第2のアドレス信号との双方に応じてプログラム電圧を調整するので、プログラム電圧生成回路から各メモリブロックまでの距離及び各メモリブロックにおけるアドレス構成などを考慮してプログラム電圧を調整することが可能となり、各メモリブロック内の各メモリセル位置に対して適切なプログラム電圧を生成することが出来る。

【発明の実施の形態】

以下に、本発明の実施例を添付の図面を用いて詳細に説明する。

【 0 0 0 9 】

図1は、本発明による不揮発性半導体記憶装置の構成を示す図である。

【 0 0 1 0 】

図1の不揮発性半導体記憶装置10は、状態制御回路11、入出力バッファ12、アドレスラッチ13、Xデコーダ14、Yデコーダ15、セルアレイ16、Yゲート17、データラッチ18、プログラム電圧生成回路19、消去電圧生成



回路 2 0、チップイネーブル／出力イネーブル回路 2 1、セクタ消去回路 2 2、及びプログラム電圧調整回路 2 3 を含む。

#### 【 0 0 1 1 】

状態制御回路 1 1 は、ライトイネーブル信号 WE、チップイネーブル信号 CE、データ信号 DQ 0 乃至 DQ 1 5 等を制御信号として外部から受け取り、これら制御信号に基づいてステートマシンとして動作し、不揮発性半導体記憶装置 1 0 の各部の動作を制御する。

#### 【 0 0 1 2 】

入出力バッファ 1 2 は、外部からデータ DQ 0 乃至 DQ 1 5 を受け取り、受け取ったデータを状態制御回路 1 1 及びデータラッチ 1 8 に供給する。アドレスラッチ 1 3 は、外部から供給されるアドレス信号 ADD を受け取りラッチすると共に、受け取ったアドレス信号を X デコーダ 1 4 及び Y デコーダ 1 5 に供給する。X デコーダ 1 4 は、アドレスラッチ 1 3 から供給されたアドレスをデコードして、セルアレイ 1 6 に設けられたワード線をデコード結果に応じて活性化させる。Y デコーダ 1 5 は、アドレスラッチ 1 3 から供給されたアドレスをデコードし、デコード結果に基づいて Y ゲート 1 7 を制御することで、セルアレイ 1 6 のビット線のデータを選択的に読み出してデータラッチ 1 8 に供給する。

#### 【 0 0 1 3 】

セルアレイ 1 6 は、メモリセルトランジスタの配列、ワード線、ビット線等を含み、各メモリセルトランジスタにデータを記憶する。データ読み出し時には、活性化ワード線で指定されるメモリセルからのデータが、ビット線に読み出される。プログラム或いはイレース時には、ワード線及びビット線をそれぞれの動作に応じた適当な電位に設定することで、メモリセルに対する電荷注入或いは電荷抜き取りの動作を実行する。図 1 においては図示を省略するが、本発明においてセルアレイ 1 6 は複数のブロックから構成されており、X デコーダ 1 4 及び Y デコーダ 1 5 等の周辺回路も各ブロック毎に設けられる。

#### 【 0 0 1 4 】

データラッチ 1 8 は、Y デコーダ 1 5 及び X デコーダ 1 4 によって指定されセルアレイ 1 6 から供給されるデータの電流を、リファレンスセルからのリファレ

ンス電流と比較することで、データが0であるか1であるかの判定を行う。判定結果は読み出しデータとして、入出力バッファ12に供給される。またプログラム動作及びイレース動作に伴うベリファイ動作は、Yデコーダ15及びXデコーダ14によって指定されセルアレイ16から供給されたデータの電流を、プログラムベリファイ用及びイレースベリファイ用リファレンスセルの示すリファレンス電流と比較することで行われる。

## 【0015】

プログラム電圧生成回路19は、状態制御回路11の制御の下に動作し、プログラム電圧（プログラム用の昇圧電圧）を生成する。このプログラム電圧を使用してXデコーダ14及びYデコーダ15を駆動することにより、データラッチ18に入出力バッファ12から供給される書き込みデータに応じてセルアレイ16に対するデータ書き込み動作を実行する。消去電圧生成回路20は、イレース動作時にワード線及びビット線に印加する消去電圧を生成して、この電圧をセクタ消去回路22に供給する。セクタ消去回路22は、セルアレイ16に対するセクタ単位の消去動作を実行する。

## 【0016】

チップイネーブル／出力イネーブル回路21は、装置外部から制御信号としてチップイネーブル信号CE及びアウトプットイネーブル信号OEを受け取り、入出力バッファ12及びセルアレイ16の動作／非動作を制御する。

## 【0017】

プログラム電圧調整回路23は、本発明に特有の回路であり、アドレス信号ADDに基づいてプログラム電圧調整信号VPROG\_ADJを生成しプログラム電圧生成回路19に供給する。プログラム電圧生成回路19は、プログラム電圧調整信号VPROG\_ADJに応じて、プログラム電圧を調整する。

## 【0018】

図2は、本発明によるプログラム電圧調整回路23及びプログラム電圧生成回路19の実施例を示す図である。

## 【0019】

図2の例においては、セルアレイ16がセルアレイ16Aとセルアレイ16B

との2つのブロックに分割されている。セルアレイ16Aは、メモリセル群16A-0乃至メモリセル群16A-3、及びセクタ冗長メモリセル群16A-Rを含む。またセルアレイ16Bは、メモリセル群16B-0乃至メモリセル群16B-3、及びセクタ冗長メモリセル群16B-Rを含む。

## 【0020】

セルアレイ16A及び16Bのビット線は、それぞれゲート38及び39を介して、レギュレータ31に接続される。ゲート38及び39は、アドレス信号の最上位ビットA23により制御される。即ち、ゲート38はビットA23がHIGHのときに導通し、ゲート39はビットA23がLOWのときにインバータ37により導通される。

## 【0021】

レギュレータ31は、プログラム電圧生成回路19の一部であり、プログラム電圧生成回路19内の昇圧回路（昇圧電圧発生回路）19Aにより発生された昇圧電圧DPUMPを、所定の電圧に調整するよう動作する。このレギュレータ31による電圧調整動作は、2ビットのプログラム電圧調整信号VPROG\_ADJ（1:0）により制御される。

## 【0022】

図2の例において、プログラム電圧調整回路23は、プログラム電圧調整ユニット32及び33、ゲート35及び36、及びインバータ34を含む。プログラム電圧調整ユニット32及び33の各々は、2ビットのプログラム電圧調整信号VPROG\_ADJ（1:0）を生成し、アドレス信号の最上位ビットA23により何れか一方のプログラム電圧調整信号VPROG\_ADJ（1:0）が選択される。選択されたプログラム電圧調整信号VPROG\_ADJ（1:0）は、レギュレータ31に供給される。

## 【0023】

図3は、レギュレータ31の回路構成の一例を示す図である。

## 【0024】

図3のレギュレータ31は、差動増幅器41、トランジスタ42、コンデンサ43、トランジスタ44乃至47、コンデンサ（MOS容量）48乃至51、イ

ンバータ52乃至55、NAND回路56乃至59、インバータ60を含む。差動増幅器41は、昇圧回路19Aにより生成された昇圧電圧DPUMPを電源として、ノードN1の電位と基準電圧VREFDとの差に応じ、プログラム電圧VPROGを生成する。具体的には、ノードN1の電位が基準電圧VREFDより低いときにはプログラム電圧VPROGを上昇させ、ノードN1の電位が基準電圧VREFDより高いときにはプログラム電圧VPROGを下降させる。ノードN1の電位は、プログラム電圧VPROGをコンデンサ43により容量分割した値であるので、上記制御によってプログラム電圧VPROGを所定の電位に設定することが可能となる。

## 【0025】

ノードN1の電位は、コンデンサ43とコンデンサ48乃至51の選択された1つとの容量比により決定されるので、コンデンサ48乃至51の何れを選択するかに応じて、プログラム電圧VPROGの設定電位を制御することが可能となる。

## 【0026】

この例では、アドレス信号の最上位アドレスA23に応じて、コンデンサ48及び49或いはコンデンサ50及び51の何れかを選択する。例えばアドレスビットA23がHIGHの場合には、コンデンサ48及び49が選択される。図2で説明したように、アドレスビットA23がHIGHの場合にはセルアレイ16Aがレギュレータ31に接続されるので、セルアレイ16Aに対してコンデンサ48及び49が選択されることになる。

## 【0027】

更に2ビットのプログラム電圧調整信号VPROG\_ADJ(1:0)により、トランジスタ44及び45の導通/非導通を制御して、コンデンサ48及び49各々の選択/非選択を制御する。プログラム電圧調整信号VPROG\_ADJ(1:0)は、メモリセル群16A-0乃至16A-3に対応する2ビットのアドレス信号に対応し、メモリセル群16A-0が書き込み選択されるときは(0, 0)、メモリセル群16A-1が書き込み選択されるときは(0, 1)、メモリセル群16A-2が書き込み選択されるときは(1, 0)、メモリセル群16

A-3が書き込み選択されるときは(1, 1)となる。またセクタ冗長メモリセル群16A-Rを選択するときにも、プログラム電圧調整信号VPROG\_ADJ(1:0)は(1, 1)となる。このようにして、コンデンサ43の容量と直列接続される容量の大きさを変化させて、ノードN1の電位を制御し、プログラム電圧VPROGを調整している。

## 【0028】

図2において、距離L1及びL2として示されるように、レギュレータ31から各メモリセルアレイ16A及び16Bへの距離が異なるので、レギュレータ31が供給するプログラム電圧も距離の違いに応じて異なる必要がある。この目的のために、アドレスビットA23がHIGHの場合にはセルアレイ16Aに対してコンデンサ48及び49を選択し、アドレスビットA23がLOWの場合にはセルアレイ16Aに対してコンデンサ50及び51を選択するようにしている。

## 【0029】

また図2の例では、メモリセルアレイ16A及び16Bに対応してプログラム電圧調整ユニット32及び33が設けられているが、これはメモリセルアレイ16Aと16Bとでアドレス構成が異なる場合等に対処するためである。例えば、メモリセルアレイ16Aでは最近のメモリセル群16A-0にアドレス(0, 0)が割当てられているのに対して、メモリセルアレイ16Bでは最遠のメモリセル群16B-3にアドレス(0, 0)が割当てられている場合等があり得る。このような場合であっても、メモリセルアレイ16Bに対応するプログラム電圧調整ユニット33において対応アドレスビットを適宜論理操作することで、メモリセルアレイ16Bのアドレス構成に即したプログラム電圧調整信号VPROG\_ADJ(1:0)を生成することが出来る。

## 【0030】

図4は、メモリセルアレイが4つのブロックに分割された場合の構成を示す図である。

## 【0031】

図4において、メモリセルアレイはセルアレイ16A乃至16Dの4つのブロックに分割され、4つのブロックの中心部分にプログラム電圧生成回路19が配

置される。プログラム電圧生成回路19が生成するプログラム電圧VPROGは、各ブロックのYゲート17A乃至17Dに供給される。図4に示されるように、セルアレイ16Aのメモリセル群16A-0乃至16A-3は、アドレス信号の対応する2ビットA21及びA20が(0, 0)、(0, 1)、(1, 0)、(1, 1)の場合にそれぞれ選択される。またセルアレイ16Bのメモリセル群16B-0乃至16B-3は、アドレス信号の対応する2ビットA21及びA20が(1, 1)、(1, 0)、(0, 1)、(0, 0)の場合にそれぞれ選択される。このようにセルアレイ16Aとセルアレイ16Bとでアドレス構造が異なるので、プログラム電圧調整回路23は、それぞれのセルアレイに対して異なるプログラム電圧調整信号VPROG\_ADJ(1:0)を供給する必要がある。

## 【0032】

図5は、図4の構成に用いられるプログラム電圧調整回路23の一例を示す回路図である。プログラム電圧調整回路23は、図2に示すようにプログラム電圧調整ユニット32及び33によりセルアレイ16A及び16Bに対して別々にプログラム電圧調整信号VPROG\_ADJ(1:0)を生成しても良いが、図5の構成では、冗長選択の場合も含めて必要な全ての論理演算を1つの回路で実現している。

## 【0033】

図5のプログラム電圧調整回路23は、NAND回路71、インバータ72乃至78、PMOSトランジスタ79乃至90、及びNMOSトランジスタ91乃至103を含む。プログラム電圧調整回路23は、アドレス信号の2つのビットA20及びA21を入力とし、2ビットのプログラム電圧調整信号VPROG\_ADJ(1:0)を出力する。インバータ77の出力が、アドレスA21に対応するプログラム電圧調整信号VPROG\_ADJ(1)であり、インバータ78の出力が、アドレスA20に対応するプログラム電圧調整信号VPROG\_ADJ(0)である。プログラム電圧調整信号VPROG\_ADJ(1)とプログラム電圧調整信号VPROG\_ADJ(0)とを纏めて、2ビットのVPROG\_ADJ(1:0)と表記している。

## 【0034】

図6は、図5の回路の入出力の論理値テーブルを示す。

【0035】

図5及び図6に示されるように、アドレス信号A20及びA21以外に回路入力として、プログラム指示信号PGM、冗長指示信号HIT、及び最上位アドレスA23が入力される。プログラム指示信号PGMはプログラム動作時にHIGHになる信号であり、冗長指示信号HITは冗長を行うときにHIGHになる信号である。また回路出力は、2ビットのプログラム電圧調整信号VPROG\_ADJ(1:0)である。

【0036】

図6に示されるように、プログラム動作でない場合即ちプログラム指示信号PGMがLOWの場合、他の入力信号値に関わらず、プログラム電圧調整信号VPROG\_ADJ(1:0)は(L, L)である。プログラム動作である場合即ちプログラム指示信号PGMがHIGHの場合、冗長指示信号HIT及びアドレス信号A23の値によって出力が異なってくる。まず冗長指示信号HITがHIGHの場合には、アドレス信号A23の値に関わらず、プログラム電圧調整信号VPROG\_ADJ(1:0)は(H, H)である。これにより、図4に示されるようにビット線の総延長のうちでYゲートから最も遠い位置にあるスペアセクタ16A-R或いは16B-Rに対して、図3のレギュレータ31により適切なプログラム電圧VPROGを生成して供給することが出来る。

【0037】

冗長指示信号HITがLOWの場合には、アドレス信号A23の値に応じて、プログラム電圧調整信号VPROG\_ADJ(1:0)が変わる。図6に示されるように、アドレス信号A23がHIGHの場合には、プログラム電圧調整信号VPROG\_ADJ(1:0)はA21及びA20そのものとなる。図4に示されるようにA23がHIGHで選択されるセルアレイ16Aにおいて、メモリセル群16A-0乃至16A-3はA21及びA20が(0, 0)、(0, 1)、(1, 0)、(1, 1)の場合にそれぞれ選択される。従って、A21及びA20そのものであるプログラム電圧調整信号VPROG\_ADJ(1:0)に基づいて、レギュレータ31によりプログラム電圧を調整することで、各メモリセル

群に適したプログラム電圧を供給することが出来る。

【0038】

例えば、最もYゲート17Aに近いメモリセル群16A-0は、A21及びA20が(0, 0)の時に書き込み選択される。このとき、プログラム電圧調整信号VPROG\_ADJ(1:0)は(0, 0)であるので、レギュレータ31により最も近い距離に対するプログラム電圧VPROGが選択される。またYゲート17Aに2番目に近いメモリセル群16A-1は、A21及びA20が(0, 1)の時に書き込み選択される。このとき、プログラム電圧調整信号VPROG\_ADJ(1:0)は(0, 1)であるので、レギュレータ31により2番目の距離に対するプログラム電圧VPROGが選択される。

【0039】

冗長指示信号HITがLOWでアドレス信号A23がLOWの場合には、図6に示されるように、プログラム電圧調整信号VPROG\_ADJ(1:0)はA21及びA20の反転信号A21B及びA20Bとなる。図4に示されるようにA23がLOWで選択されるセルアレイ16Bにおいて、メモリセル群16B-0乃至16B-3はA21及びA20が(1, 1)、(1, 0)、(0, 1)、(0, 0)の場合にそれぞれ選択される。従って、A21及びA20の反転信号であるプログラム電圧調整信号VPROG\_ADJ(1:0)によりプログラム電圧を調整することで、各メモリセル群に適したプログラム電圧を供給することが出来る。

【0040】

例えば、最もYゲート17Bに近いメモリセル群16B-0は、A21及びA20が(1, 1)の時に書き込み選択される。このとき、プログラム電圧調整信号VPROG\_ADJ(1:0)は(0, 0)であるので、レギュレータ31により最も近い距離に対するプログラム電圧VPROGが選択される。またYゲート17Bに2番目に近いメモリセル群16B-1は、A21及びA20が(1, 0)の時に書き込み選択される。このとき、プログラム電圧調整信号VPROG\_ADJ(1:0)は(0, 1)であるので、レギュレータ31により2番目の距離に対するプログラム電圧VPROGが選択される。



## 【 0 0 4 1 】

なおセルアレイ 1 6 C 及び 1 6 D に対しても同様であり、セルアレイ 1 6 C についてはセルアレイ 1 6 A と同様にしてプログラム電圧が生成され、セルアレイ 1 6 D についてはセルアレイ 1 6 B と同様にしてプログラム電圧が生成される。また図 4 の構成の場合、レギュレータ 3 1 からセルアレイ 1 6 A 及び 1 6 B までの距離が同一であれば、レギュレータ 3 1 においてコンデンサ 4 8 及び 4 9 とコンデンサ 5 0 及び 5 1 とをアドレス信号 A 2 3 により使い分ける必要は無く、一方のセットのコンデンサ（例えばコンデンサ 4 8 及び 4 9 ）が設けられているだけでよい。

## 【 0 0 4 2 】

このように本発明においては、レギュレータから各メモリブロックまでの距離及び各メモリブロックにおけるアドレス構成などを考慮して、アドレス信号に応じてプログラム電圧を調整するので、各メモリブロック内の各メモリセル位置に対して適切なプログラム電圧を生成することが出来る。

## 【 0 0 4 3 】

なお上記実施例において、ブロック数が 2 つ或いは 4 つの場合について説明したが、メモリセルブロックの数はこの数に限られるものではない。また各メモリセルブロック内のメモリセル群の数は 4 つ（冗長メモリセル群を含めると 5 つ）の場合について説明したが、メモリセル群の数は 4 以外であってよく、例えば 5 或いはそれ以上であってもよい。この場合、プログラム電圧調整信号 V P R O G \_ A D J のビット数は、電圧調整の所望のステップ幅に応じて決定すればよい。例えば、メモリセル群の数が 1 6 個であったとしても、広いステップ幅を用いて総数 4 ステップの電圧調整で充分であれば、上記実施例と同様にプログラム電圧調整信号 V P R O G \_ A D J は 2 ビットでよい。またメモリセル群の数が 1 6 個の場合に、細かいステップ幅を用いて総数 1 6 ステップの電圧調整を望むのであれば、プログラム電圧調整信号 V P R O G \_ A D J は 4 ビットとすればよい。

## 【 0 0 4 4 】

また上記実施例では、レギュレータ 3 1 においてプログラム電圧調整信号 V P R O G \_ A D J を  $n$  ビットとして  $2^n$  段階のプログラム電圧調整を行うようにし

ているが、プログラム電圧調整信号VPROG\_ADJのnビットの各々に対応してコンデンサを1つずつ選択するようにして、n段階のプログラム電圧調整を行うようにしても良い。

#### 【0045】

以上、本発明を実施例に基づいて説明したが、本発明は上記実施例に限定されるものではなく、特許請求の範囲に記載の範囲内で様々な変形が可能である。

#### 【発明の効果】

本発明による不揮発性半導体記憶装置においては、ブロックを特定する第1のアドレス信号とブロック内の書き込みメモリセル位置を指し示す第2のアドレス信号との双方に応じてプログラム電圧を調整するので、プログラム電圧生成回路から各メモリブロックまでの距離及び各メモリブロックにおけるアドレス構成などを考慮してプログラム電圧を調整することが可能となり、各メモリブロック内の各メモリセル位置に対して適切なプログラム電圧を生成することが出来る。

#### 【図面の簡単な説明】

##### 【図1】

本発明による不揮発性半導体記憶装置の構成を示す図である。

##### 【図2】

本発明によるプログラム電圧調整回路及びプログラム電圧生成回路の実施例を示す図である。

##### 【図3】

レギュレータの回路構成の一例を示す図である。

##### 【図4】

メモリセルアレイが4つのブロックに分割された場合の構成を示す図である。

##### 【図5】

図4の構成に用いられるプログラム電圧調整回路の一例を示す回路図である。

##### 【図6】

図5の回路における入出力の論理値テーブルを示す図である。

#### 【符号の説明】

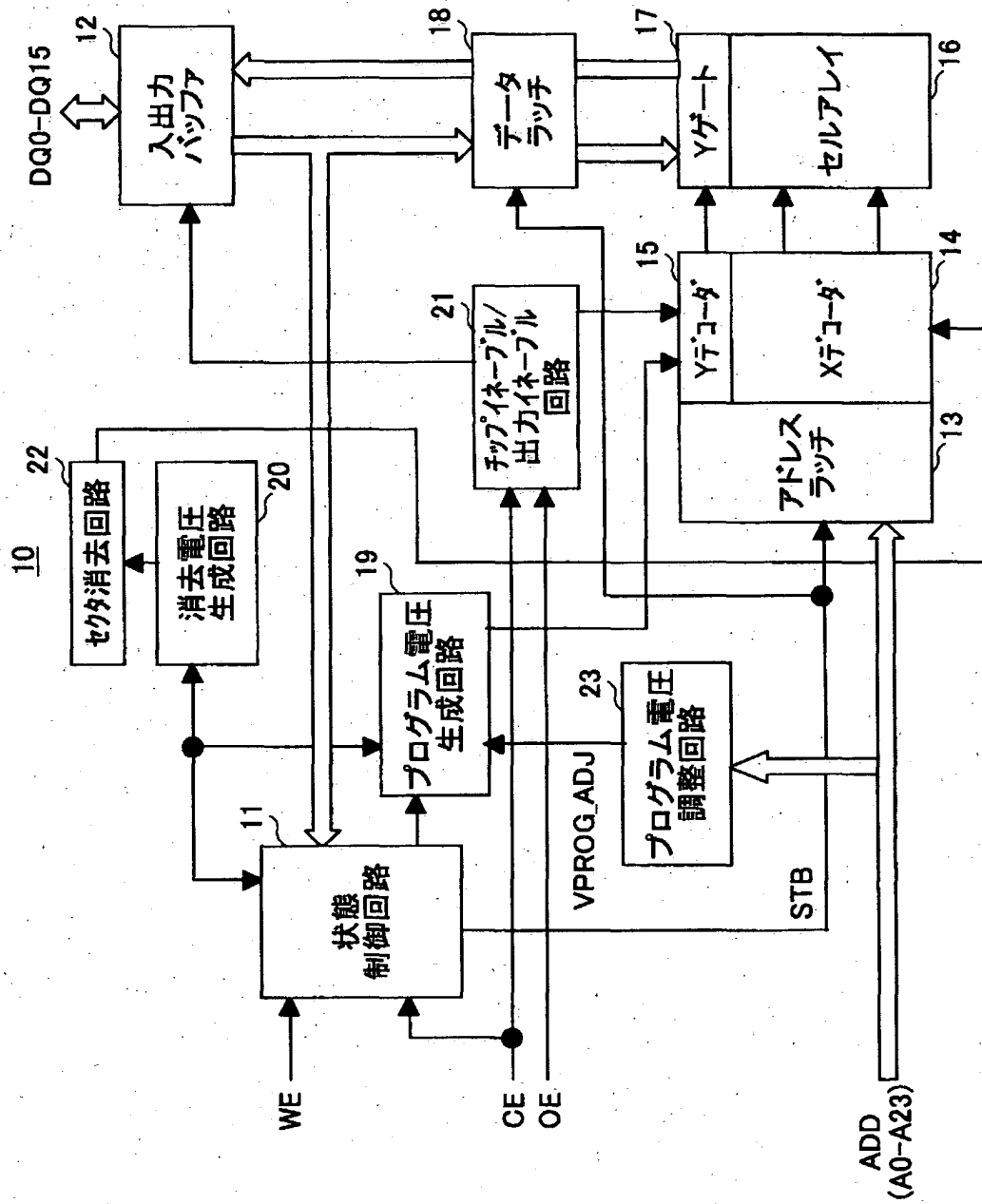
##### 1 1 状態制御回路

- 12 入出力バッファ
- 13 アドレスラッチ
- 14 Xデコーダ
- 15 Yデコーダ
- 16 セルアレイ
- 17 Yゲート
- 18 データラッチ
- 19 プログラム電圧生成回路
- 20 消去電圧生成回路
- 21 チップイネーブル／出力イネーブル回路
- 22 セクタ消去回路
- 23 プログラム電圧調整回路

【書類名】 図面

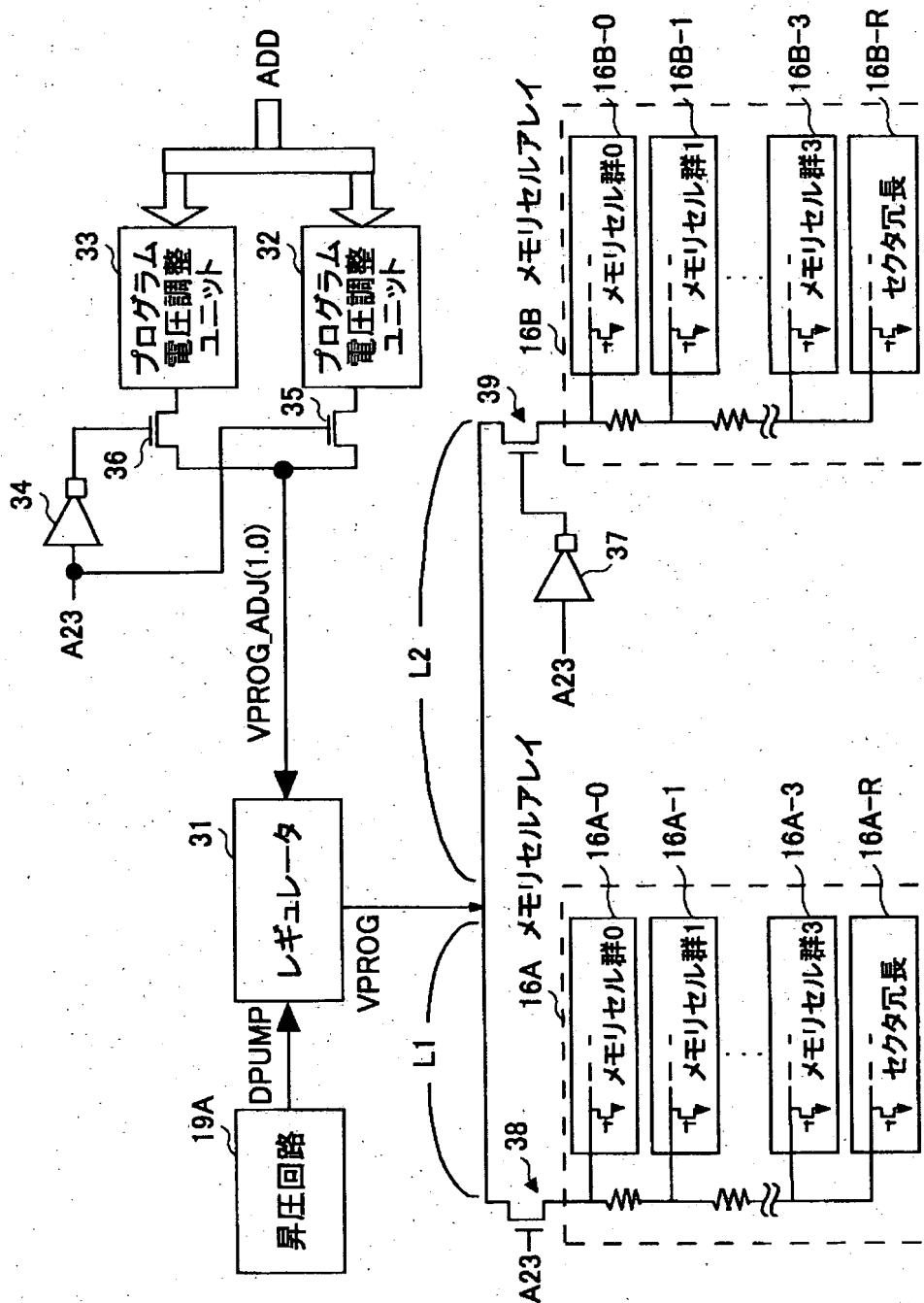
【図 1】

本発明による不揮発性半導体記憶装置の構成を示す図



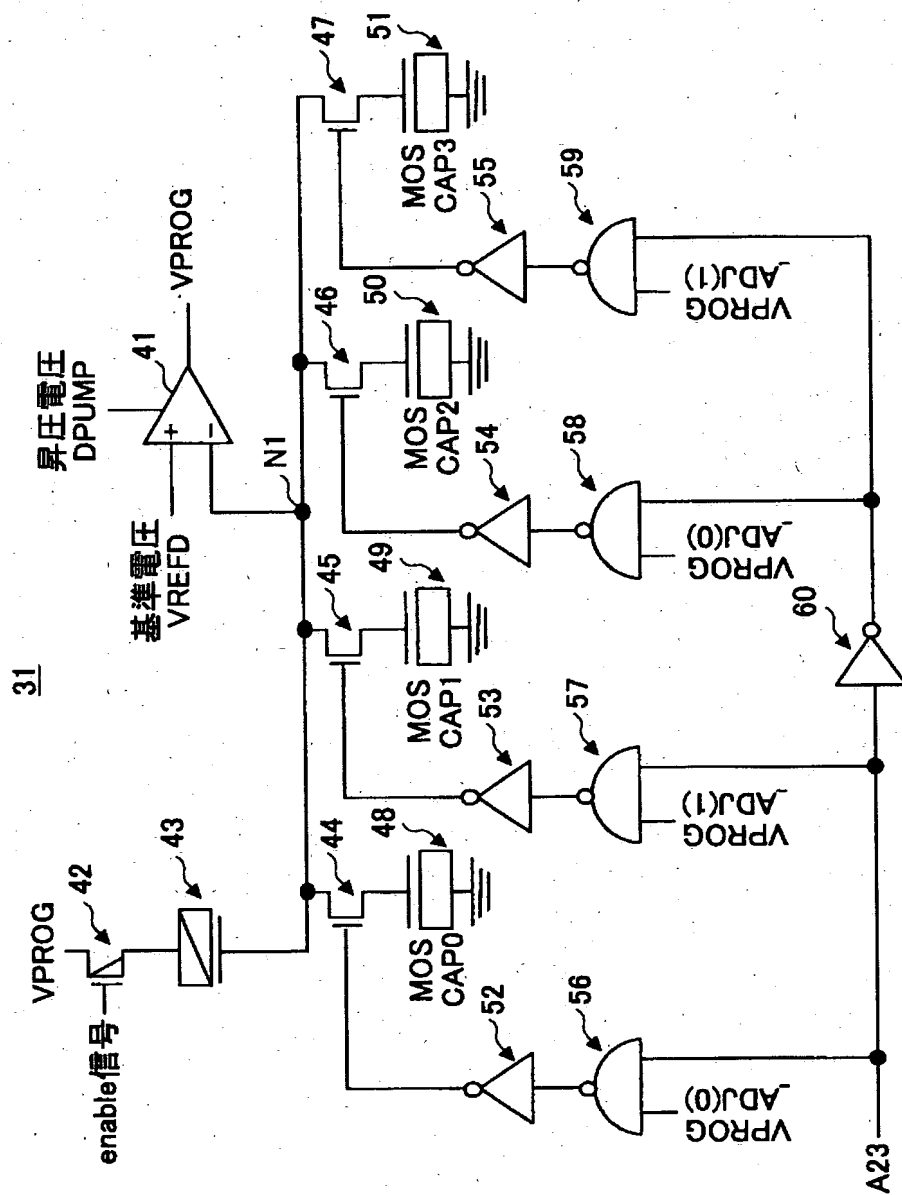
【図 2】

本発明によるプログラム電圧調整回路  
及び プログラム電圧生成回路の実施例を示す図



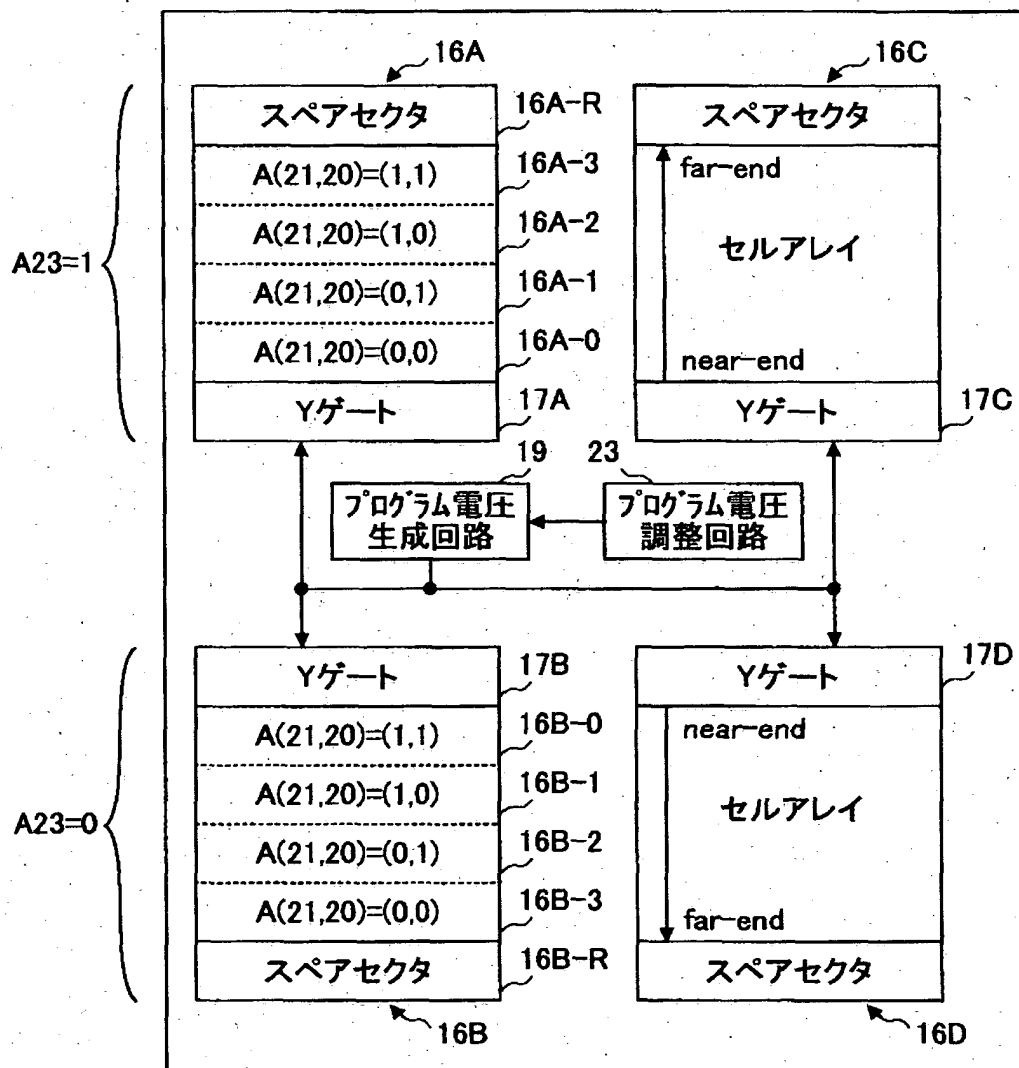
【図 3】

### レギュレータの回路構成の一例を示す図



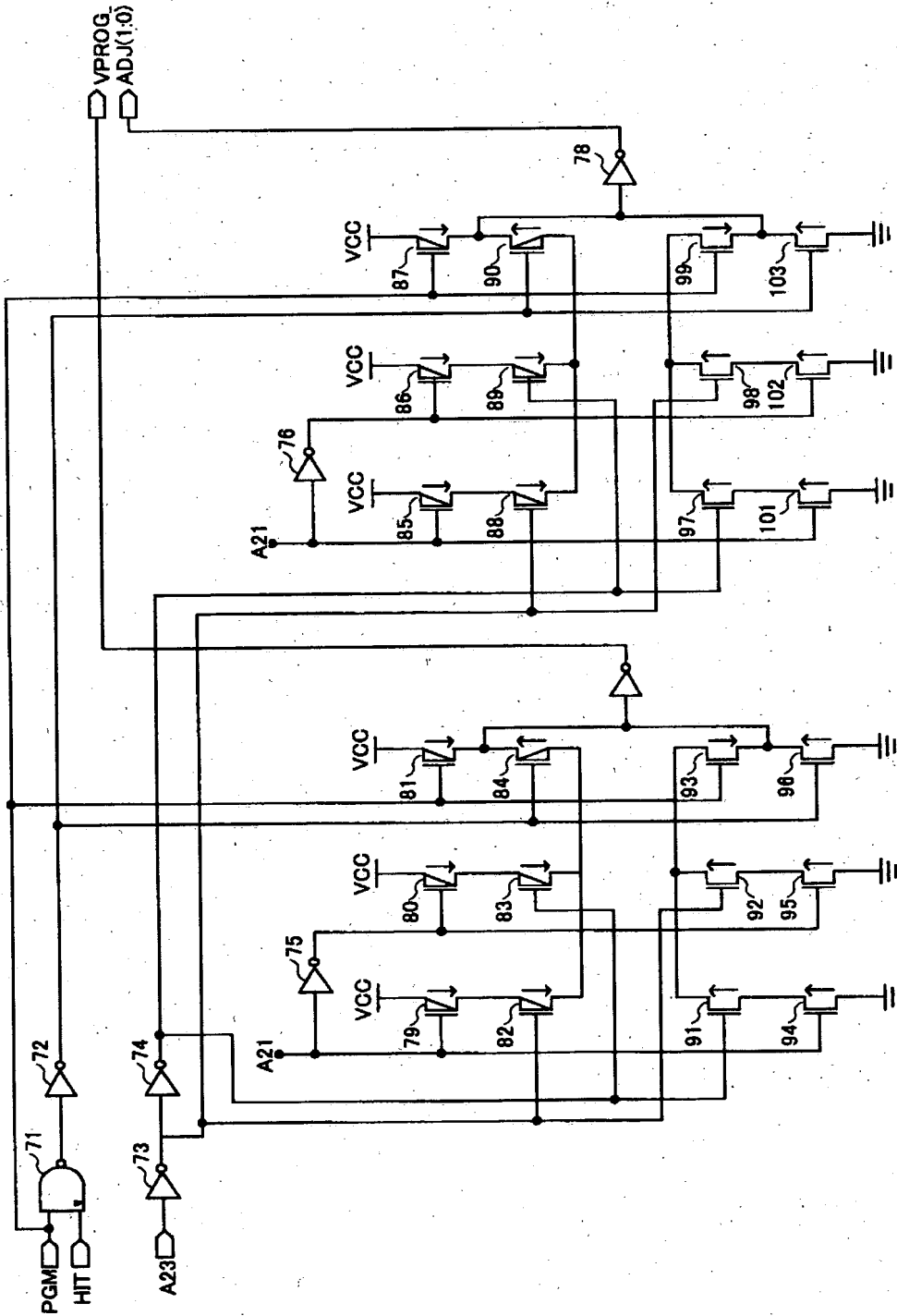
【図4】

メモリセルアレイが4つのブロックに分割された場合の構成を示す図



【図5】

図4の構成に用いられる  
プログラム電圧調整回路の一例を示す回路図





【図 6】

図5の回路における入出力の論理値テーブルを示す図

PGM	HIT	A23	VPROG-ADJ	
			1	0
L	X	X	L	L
H	H	X	H	H
	L	H	A21	A20
		L	A21B	A20B

【書類名】 要約書

【要約】

【課題】本発明は、メモリセルアレイがブロックに分割された構成において、メモリセルの位置に関わらず各メモリセルに対して所定の書き込み電圧を供給する不揮発性半導体記憶装置を提供することを目的とする。

【解決手段】不揮発性半導体記憶装置は、各々が不揮発性メモリセルアレイを含む複数のブロックと、複数のブロックの不揮発性メモリセルアレイにプログラム電圧を供給するプログラム電圧生成回路を含み、複数のブロックのうち一のブロックを特定する第1のアドレス信号及び一のブロック内における書き込みメモリセル位置を指し示す第2のアドレス信号に応じてプログラム電圧生成回路においてプログラム電圧を調整することを特徴とする。

【選択図】 図1

特2002-268315

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号

氏 名 富士通株式会社